

### 1. Title of the invention

LOAD DRIVE CIRCUIT FOR INTEGRATED CIRCUIT DEVICE

### 2. Claims

A drive circuit for an integrated circuit device, a plurality of which being to be incorporated in an integrated circuit device for driving each load according to a drive command in such a manner as to be connected in parallel between a pair of power supply potential points, and comprising:

a pair of output transistors, which are connected in series between the pair of power supply potential points and from the mutual connection point of which, an output terminal for load drive is guided outward;

a delay circuit that receives a drive command and issues a delayed drive command delayed by a predetermined delay time; and

an operation circuit that issues an open/close command to operate each output transistor according to the delayed drive command so that at least one of the transistors is put into the open state.

### 3. Detailed description of the invention

[Field of industrial application]

The present invention relates to a load drive circuit, a plurality of which are to be incorporated in an integrated circuit device for driving loads such as pixels in a plasma display panel.

[Prior art]

Recently, there are many cases where external loads are directly driven by output circuits incorporated in an integrated circuit device, and in a plasma display panel, for example, tens or more of circuits for driving pixels are incorporated. When a load current is small, a load

drive circuit of so-called open collector type or open drain type can be used but when higher drive performance is required, a load drive circuit of push-pull type is employed. A conventional example of a load drive circuit of this type is explained briefly below with reference to Fig.5.

In order to drive respective loads 1 shown at the upper part in Fig.5, such as pixels in a plasma display panel, n load drive circuits 41 to 4n shown thereunder are incorporated in an integrated circuit device. In this conventional example, the load drive circuit is a so-called totem pole type in which two field-effect transistors 11 and 12 of the same n-channel type are connected in series between a pair of power supply potential points V and E and an output terminal To for each of the loads 1 is guided outward from the mutual connection point of both the output transistors 11 and 12.

Drive commands D1 to Dn to each of the loads 1, for example, display data to each pixel, are issued to the load drive circuits 41 to 4n. These drive commands D1 to Dn are a logic signal that takes a value of either "H" or "L", and the command is supplied to the output transistor 11 as it is and the complementary command through an inverter 13 is supplied to the output transistor 12. Therefore, the output transistors 11 and 12 are operated to open and close alternately. As the respective loads 1 connected to each output terminal To are commonly connected to the power supply potential point V in this example, each load 1 is put into a non-driven state when the logic state of the corresponding drive command among D1 to Dn is "H", and put into a driven state, when "L".

[Problem to be solved by the invention]

The load drive performance can be improved by using the above-mentioned load drive circuit of push-pull type and a pair of output transistors having a small ON-state resistance, however, there may be a case where the plurality of load drive circuits are operated by the drive commands in the same logic state depending on the purpose of use, and in this case, a problem is brought about in that a very large short-circuit current is produced between the pair of power supply potential points.

The short-circuit current is produced because, although the pair of output transistors in the load drive circuit are operated to open and close alternately, as described above, there exists, for a short time, a period of time during which both the output transistors are put into the ON-state simultaneously during the period of transition from open-state to closed-state or vice versa. This is first explained below with reference to Fig.6, although well known widely.

As shown in Fig.6(a), it is assumed that a drive command D changes from "L" to "H" at a time  $t_a$  and from "H" to "L" at a time  $t_b$ . The state of the output transistor 11 shown in Fig.6 (b), which receives the drive command as it is, changes from the OFF-state to the ON-state and from the ON-state to the OFF-state within an operation time  $t_o$  after these times  $t_a$  and  $t_b$ , however, the state of the output transistor 12 shown in Fig.6 (c) changes from the ON-state to the OFF-state and from the OFF-state to the ON-state within an operation time  $t_o$  delayed from the operation time  $t_o$  of the output transistor 11 by an operation time  $t_d$  of the inverter 13. As a result, the period of time during which both the transistors 11 and 12 are in the ON-state at the same time is longer in the progress after the time  $t_a$ , in which the transition of the output transistor 12 from

the ON-state to the OFF-state is delayed, than in the progress after the time  $t_b$ , and a short-circuit current  $I_a$  that is much larger than a short-circuit current  $I_b$  after the time  $t_b$  flows.

Fig.7 shows a progress when the drive command  $D$  to each of the load drive circuits 41 to 4n in Fig.5 changes simultaneously from "L" to "H" at the above-mentioned time  $t_a$  as shown in Fig.7 (a). The changes of states of both the output transistors 11 and 12 in the load drive circuit 41 are shown in Fig.7 (b) and the short-circuit current  $I_1$  at this time is shown in Fig.7 (c), respectively, and those in the load drive circuit 4n are shown in Fig.7 (d) and Fig.7 (e). The short-circuit currents  $I_1$  to  $I_n$  shown, for example, in Fig.7 (c) and Fig.7 (e) occur simultaneously during the period of time  $t_d+t_o$  after the time  $t_a$  in these  $n$  load drive circuits 41 to 4n, therefore, a large total short-circuit current  $I_t$  as shown in Fig.7 (f) flows through the power supply lines corresponding to the power supply potential points  $V$  and  $E$  during this period of time.

As shown in Fig.5, these power supply lines in the integrated circuit device are a kind of distributed constant circuit having an impedance  $z$  consisting mainly of a resistor  $r$  and a capacitor  $c$ , therefore, if such the large total short-circuit current  $I_t$  shown in Fig.7 (e) flows through this circuit, a voltage drop occurs due to the impedance  $z$ , causing a sharp spike noise to form and malfunctions are likely to occur in circuits in the integrated circuit device, which receive electricity through these power supply lines.

The object of the present invention is to solve the above-mentioned problems which are brought about when a plurality of load drive circuits are driven by the common drive

commands and drive commands, the logic state of which changes similarly, and to prevent malfunctions in circuits to be incorporated in the integrated circuit device, which are caused by the power supply line noises due to the short-circuit current in each of the load drive circuits.

[Means for solving problem]

According to the present invention, the above-mentioned object can be attained by: making up each of a plurality of drive circuits, which are connected in parallel to each other between a pair of power supply potential points and which are incorporated in an integrated circuit device to drive each load according to a drive command, of a pair of output transistors, which are connected in series between both the power supply potential points and the output terminal of which for driving the load is guided outward from the mutual connection point, a delay circuit, which receives a drive command and issues a delayed drive command delayed by a predetermined time, and an operation circuit that issues an open/close command to operate each output transistor according to the delayed drive command so that one of the output transistors is put into an open state without fail; and making the delay time in each delay circuit differ from each another.

By the way, it would bring an advantage to make the delay time in the above-mentioned delay circuit differ from each another by a time substantially equal to the open/close operation time of the output transistor. Moreover, instead of providing the delay circuit in each load drive circuit, it is possible to provide the delay circuit commonly to a group consisting of a predetermined number (equal to nine or less) of load drive circuits.

[Operation]

. . . .

In the present invention, a delay circuit is incorporated in the load drive circuit, which receives a drive command to form a delayed drive command delayed by a different time from each another, thereby the timing of occurrence of a short-circuit current is shifted from each another among a plurality of load drive circuits and the load of the short-circuit current imposed on the power supply lines is averaged, and thus the occurrence of spike noises in the power supply lines are prevented. In the present invention, the problems are solved by averaging the load imposed on the power supply lines, as described above, therefore, it is preferable that the delay circuits each be delayed by a time substantially equal to the open/close operation time of the output transistor so that part of each short-circuit current overlaps each other and the total short-circuit current changes smoothly on the power supply lines, rather than shifting the timing of occurrence of the short-circuit current more than necessary.

In the circuit according to the present invention, an operation circuit that is combined with the delay circuit forms a pair of open/close commands to operate a pair of output transistors according to the delayed drive command formed in the delay circuit or, depending on the situation, according also to the control command of the operation of the load drive circuit, and the operation circuit prevents a large short-circuit current from occurring in the load drive circuit by issuing these open/close commands so that one of the pair of output transistors is put into an open state without fail. A concrete example is described below.

[Working example]

A concrete working example of the present invention is explained below with reference to figures. Fig.1 is a circuit diagram in a working example of a load drive

circuit in an integrated circuit device according to the present invention, Fig.2 and Fig.3 are circuit diagrams showing concrete configuration examples of a delay circuit and an operation circuit, respectively, and Fig.4 is a diagram showing operation states and waveforms corresponding to Fig.1. In these figures, the same letters and numerals are assigned to the same parts as those in Fig.5 to Fig.7 explained above, and explanation of these parts will not be given appropriately.

Fig.1 shows only one of load drive circuits 40, although several load drive circuits 40 are shown in Fig.5. In this case also, as in the conventional case, an n-channel field-effect transistor is used for a pair of the output transistors 11 and 12, which are connected in series between a pair of the power supply potential points V and E, and the output terminal To to which the capacitive load 1, which is a pixel in a plasma display panel in this case, is connected is guided outward from the mutual connection point of the two transistors.

However, a delay circuit 20 receives the drive command D and issues a delayed drive command Dd delayed by a delay time  $\tau$  in the present invention. Fig.2 shows some configuration examples of the delay circuit and in the example shown in Fig.2 (a), a delay circuit 21 is composed simply of a resistor 21a and a capacitor 21b, and the delay time  $\tau$  is set based on the RC time constant of the circuit. A delay circuit 22 shown in Fig.2 (b) is composed of a pair of inverters 22a connected in series and a capacitor 22b connected to the mutual connection point of both the inverters 22a, and the delay time  $\tau$  is set based on the operation time of the inverters 22a and the electrostatic capacitance of the capacitor 22b. It is obvious that the

operation in Fig.2 (b) is more stable than that in Fig.2 (a).

An operation circuit 30 receives the delayed drive command Dd formed in the delay circuits 20 to 22 and issues, in accordance with this, open/close commands S1 and S2 to operate the pair of the output transistors 11 and 12, respectively. In the example shown in Fig.1, the operation circuit 30 is composed of a single inverter 30a corresponding to the inverter 13 in Fig.5. In this example, therefore, the open/close commands S1 and S2 are always formed in the logic states complementary to each other so as to alternately open and close both the transistors 11 and 12 of the same channel type.

The operation circuit in Fig.3 is in the case where the load 1 is a pixel in a plasma display panel, and the operation circuit receives the delayed drive command Dd and a control command C. An operation circuit 31 in Fig.3 (a) is composed of an inverter 31a that receives the delayed drive command Dd and an AND gate 31b that receives the output of the inverter 31a and the control command C, and the operation circuit 31 issues the delayed drive command Dd as the open/close command S1 and the output of the AND gate 31b as the open/close command 32. Due to this, the load 1 is not driven when the drive command D is "H" and when the drive command D is "L", the load 1 is driven only if the control command C is "H", and when the control command C is "L", the output terminal To is put into a floating state.

In the example in Fig.3 (b), an operation circuit 32 is composed of a NOR gate 32a that receives the delayed drive command Dd and the complementary command of the control command C and issues the delayed drive command Dd as the



open/close command S1 and the output of the NOR gate 32a as the open/close command S2. The function of the operation circuit 32 is the same as that in the case shown in Fig.3 (a) but the delay time in change of the logic state of the open/close command S2 relative to that of the open/close command S1 can be shortened compared to the case shown in Fig.3 (a). By the way, the operation circuit never fails to issue the open/close commands S1 and S2 so that one of the commands puts the corresponding output transistor into the logic state, "L" in this case, that specifies the open state even when receiving the delayed drive command Dd and the control command C as in the example shown in Fig.3.

Fig.4 shows how the short-circuit currents I1 to I3 are generated in the three load drive circuits 40 when the drive command D in Fig.4 (a) changes from "L" to "H" at the time  $t_a$ , in the same manner as that shown in Fig.7. Fig.4 (b) shows how the output transistors 11 and 12 in the first load drive circuit 40 are turned on and off and Fig.4 (c) shows how the short-circuit current I1 is generated, respectively. It is obvious that a delay circuit need not be provided in the first load drive circuit.

The second load drive circuit comprises a delay circuit having the delay time  $\tau$  and the turning on and off of the output transistors 11 and 12 in Fig.4 (d) and the generation of the short-circuit current I2 in Fig.4 (e) are delayed by the delay time  $\tau$  compared to the case of the first load drive circuit. The third load drive circuit is provided with a delay circuit having a delay time  $2\tau$  and the turning on and off of the output transistors 11 and 12 in Fig.4 (f) and the generation of the short-circuit current I3 in Fig.4 (g) are further delayed by the delay time  $\tau$  compared to the case of the second load drive circuit. By

the way, in this example, the unit delay timer is set to a time substantially equal to the open/close operation time of the output transistor.

Fig.4 (h) shows the total short-circuit current  $I_t$  that flows through the power supply lines. As the timings of generation of the short-circuit currents  $I_1$  to  $I_3$  in each load drive circuit are delayed one by one by the delay time  $\tau$ , the total short-circuit current  $I_t$  has, as a whole, a smooth waveform having three peaks as shown schematically and it is found that not only the peak value but also the rate of change with time are considerably small compared to the case shown in Fig.7 (f). Therefore, according to the present invention, it is possible to considerably reduce the noises produced in the power supply lines, in particular, the spike noises having a steep wave front compared to the conventional case.

The present invention can be applied to various aspects, in addition to the embodiments described above. For example, the delay time for each load drive circuit need not be different from each another. The delay time for each group consisting of a predetermined number of load drive circuits can be made differ from each another or, as the case may be, a delay circuit can be provided commonly to a group consisting of a predetermined number of load drive circuits. Although the function of a delay circuit differs from that of an operation circuit, it is possible, in actual, to integrate both circuits or for both circuits to share part of the circuit. For example, instead of using the inverter 30a in the operation circuit 30 in Fig.1, the inverter 22a at the post stage in the delay circuit 22 in Fig.2 (b) is commonly used and it is possible to take out the output of the inverter 22a as the open/close command S1

and the input thereof as the open/close command S2. In the case of the operation circuit shown in Fig.3, which receives a delayed drive command and a control command, part of the circuit can be shared similarly. Moreover, in the present embodiment, a pair of output transistors is composed of field-effect transistors of the same channel type but transistors of different channel type can be combined and a bipolar transistor can be used as an output transistor.

[Effect of the invention]

According to the present invention, as described above, by making up a load drive circuit, a plurality of which are to be incorporated in an integrated circuit device, of; a pair of output transistors, which are connected in series between a pair of power supply potential points and from the mutual connection point of which, an output terminal for load drive is guided outward; a delay circuit that receives a drive command and issues a delayed drive command delayed by a predetermined delay time; and an operation circuit that issues an open/close command to operate each output transistor according to the delayed drive command so that at least one of the transistors is put into the open state, and by making the delay time given to the delayed drive command differ from delay circuit to delay circuit, the timing with which a short-circuit current is produced is shifted one by one, which current accompanying the switching between the on-state and the off-state of the pair of the output transistors in each load drive circuit, and thus the load of the short-circuit current imposed on the common power supply lines can be averaged with respect to time, and thereby, the spike noises can be prevented in advance from occurring in the power supply lines and malfunctions due to the noises imposed on the circuits to be incorporated in the integrated circuit device can be

effectively avoided.

By the way, the fact is widely accepted that the circuit according to the present invention is much suitable for driving a capacitive load such as a pixel in a display panel and is very effective to prevent sharp current pulses produced when a load is charged or discharged from causing problems of noises similar to those caused by the above-mentioned short-circuit current.

#### 4. Brief description of drawings

Fig.1 to Fig.4 relate to the present invention. Fig.1 is a circuit diagram in an embodiment of a load drive circuit in an integrated circuit device of the present invention, Fig.2 (a) and Fig.2 (b) are circuit diagrams showing different configuration examples of a delay circuit, Fig.3 (a) and Fig.3 (b) are circuit diagrams showing different configuration examples of an operation circuit, and Figs.4 (a) to (h) show waveforms of a drive command and short-circuit currents and operation states of output transistors, illustrating the operation of the circuit shown in Fig.1. Fig.5 and the other drawings relate to the prior art. Fig.5 is a circuit diagram showing a conventional load drive circuit, Figs.6 (a) to (d) are diagrams of waveforms of a main signal and short-circuits, showing how short-circuit currents are produced, and Figs.7 (a) to (f) are diagrams of waveforms of a drive command and short-circuit currents and operation states, illustrating the operation of the circuit shown in Fig.5. In these drawings, reference numbers denote as follows:

1: load  
11, 12: output transistors  
13: inverter  
20 to 22: delay circuits  
21a: resistor

21b: capacitor  
 22a: inverter  
 22b: capacitor  
 30 to 32: operation circuits  
 30a: inverter  
 31a: inverter  
 31b: AND gate  
 32a: NOR gate  
 40, 41 to 4n: load drive circuits  
 C: control command  
 C: distributed electrostatic capacitance of power supply line  
 D, D1 to Dn: drive commands  
 Dd: delayed drive command  
 E: power supply potential point or grounding potential point  
 Ia, Ib, I1 to In: short-circuit current in each load drive circuit  
 It: total short-circuit current on power supply line  
 r: distributed resistance of power supply line  
 S1, S2: open/close commands  
 To: output terminal  
 ta, tb: times  
 td: shifted time between open/close operations of output transistors  
 to: open/close operation time of output transistor  
 $\tau$ : delay time by delay circuit  
 z: distributed impedance of power supply line

## ⑫ 公開特許公報(A)

平4-181809

⑬ Int. Cl.<sup>5</sup>

H 03 K 17/16  
G 09 G 3/04  
3/28  
H 01 L 27/04  
// H 05 B 33/08

識別記号

L  
Z  
Z

庁内整理番号

9184-5J  
9176-5G  
9176-5G  
7514-4M  
8815-3K

⑭ 公開 平成4年(1992)6月29日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 集積回路装置の負荷駆動回路

⑯ 特 願 平2-194357

⑰ 出 願 平2(1990)7月23日

⑱ 発 明 者 藤 本 英 俊 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山 口 巖

## 明 細 書

1. 発明の名称 集積回路装置の負荷駆動回路

2. 特許請求の範囲

1 対の電源電位点間に複数個並列接続され駆動指令に応じそれぞれ負荷を駆動するため集積回路装置に組み込まれる駆動回路であって、両電源電位点間に直列接続され相互接続点から負荷駆動用の出力端子が導出される1対の出力トランジスタと、駆動指令を受けこれを所定の遅延時間ずらせた遅延駆動指令を発する遅延回路と、遅延駆動指令に応じ各出力トランジスタを操作する開閉指令を必ず一方を開状態にするように発する駆作回路とを備えてなり、遅延回路ごとに遅延時間を異ならせるようにしたことを特徴とする集積回路装置の負荷駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えばプラズマ表示パネルの画素のような負荷を駆動するため集積回路装置に複数個組み込まれる負荷駆動回路に関する。

## 〔従来の技術〕

最近では集積回路装置に組み込んだ出力回路により直接に外部の負荷を駆動する例が多くなって来ており、例えばプラズマ表示パネル用ではその画素をそれぞれ駆動する回路が数十個以上組み込まれる。かかる負荷駆動回路としては、負荷電流が小さい場合はいわゆるオープンコレクタ方式やオープンドレイン方式でよいが、より大きな駆動能力が要求される場合はプッシュプル方式が採用される。以下、この方式の負荷駆動回路の従来例を第5図を参照して簡単に説明する。

第5図の上部に示されたプラズマ表示パネルの各画素等の負荷1をそれぞれ駆動するため、その下側に示されたn個の負荷駆動回路41~4nが集積回路装置に組み込まれる。これらの負荷駆動回路はこの従来例では同じロチャネル形の2個の電界効果トランジスタ11と12を1対の電源電位点VとEの間に直列接続したいわゆるトータムボール形で、両出力トランジスタ11と12の相互接続点から各負荷1用の出力端子1oが導出される。

負荷駆動回路41~4nにそれぞれ負荷1に対する駆動指令D1~Dn、例えば各画素への表示データが与えられる。この駆動指令D1~Dnは $V_L$ 、 $V_H$ いずれかの値をとる論理信号で、出力トランジスタ11にはこれがそのまま、出力トランジスタ12にはインバータ13によるその補指令がそれぞれ与えられ、従って出力トランジスタ11と12は交互に開閉操作される。各出力端子Toに接続された負荷1はこの例では電源電位点Vに共通接続されているので、各負荷1は対応する駆動指令D1~Dnの論理状態が $V_L$ のときは非駆動状態に、 $V_H$ のときは駆動状態にそれぞれ置かれる。

(発明が解決しようとする課題)

負荷駆動回路を上述のようなブッシュアップ方式とし、その1対の出力トランジスタにオン抵抗の小さなものを用いることにより負荷駆動能力を高め得るが、用途によっては複数個の負荷駆動回路を同じ論理状態の駆動指令により動作させることがあり、この場合1対の電源電位点間に非常に大きな短絡電流が発生する問題がある。

第7図は第5図の負荷駆動回路41~4nに対する駆動指令Dが第7図(a)に示すように上述の時刻 $t_a$ に $V_L$ から $V_H$ に一齐に変化した場合の経過を示す。負荷駆動回路41について両出力トランジスタ11と12の状態変化を同図(b)に、その際の短絡電流 $I_1$ を同図(c)にそれぞれ示し、負荷駆動回路4nについてのこれらの様子を同図(d)と(e)に示す。これらn個の負荷駆動回路41~4n内で同図(c)や(e)に示す短絡電流 $I_1 \sim I_n$ が時刻 $t_a$ 後の時間 $t_d + t_o$ 内に同時発生するので、第5図の電源電位点VやEに対応する電源線内にはこの時間内に第7図(f)に示す大きな合成短絡電流 $I_t$ が流れる。

集積回路装置内のこれら電源線は第5図に示すように主には抵抗rとキャパシタンスcからなるインピーダンス $z$ をもつ一種の分布定数回路なので、第7図(e)のような大きな合成短絡電流 $I_t$ がこれに流れるとインピーダンス $z$ によって電圧降下が発生し、これが鋭いスパイク状のノイズとなってこれら電源線から給電を受ける集積回路装置内の回路に誤動作を惹き起こしやすい。

この短絡電流が発生する原因は、負荷駆動回路の1対の出力トランジスタが上述のように交互に開閉動作するものの、それらの開閉状態が変わる過渡期に同時にオン状態になる期間が短時間存在する点にある。よく知られていることであるが、まずこれを第6図を参照して説明する。

第6図(a)のように駆動指令Dが時刻 $t_a$ に $V_L$ から $V_H$ に、時刻 $t_b$ に $V_H$ から $V_L$ にそれぞれ変化するものとする。この指令をそのまま受ける同図(b)の出力トランジスタ11の状態はこれら時刻後のその動作時間 $t_o$ 内に図のようにオフからオンに、またオンからオフにそれぞれ変化するが、同図(c)の方の出力トランジスタ12の状態はそれよりインバータ13の動作時間 $t_d$ だけ遅れた動作時間 $t_o$ 内にオンからオフに、またオフからオンにそれぞれ変化する。この結果、出力トランジスタ12のオンからオフへの動作が遅れる時刻 $t_a$ 後の経過の方が時刻 $t_b$ 後の経過より両トランジスタ11と12が同時にオン状態にある時間が長くなって、時刻 $t_b$ 後の短絡電流 $I_b$ よりずっと大きな短絡電流 $I_a$ が流れる。

本発明の目的は、このように複数個の負荷駆動回路を共通の駆動指令、ないしは同様に論理状態が変化する駆動指令により動作させる場合の上述のような問題点を解消して、各負荷駆動回路内の短絡電流に起因する電源線ノイズにより集積回路装置内に組み込まれる回路が誤動作しないようにすることにある。

(課題を解決するための手段)

この目的は本発明によれば、上述のように1対の電源電位点間に複数個並列接続され駆動指令に応じそれぞれ負荷を駆動するため集積回路装置に組み込まれる駆動回路を、両電源電位点間に直列接続され相互接続点から負荷駆動用の出力端子が導出される1対の出力トランジスタと、駆動指令を受けこれを所定の遅延時間ずらせた遅延駆動指令を発する遅延回路と、遅延駆動指令に応じて各出力トランジスタを操作する開閉指令を必ず一方を開状態にするように発する操作回路により構成して、遅延回路ごとに遅延時間を異ならせることによって達成される。

なお、上記の遅延回路の遅延時間は出力トランジスタの開閉動作時間と同程度ずつ異ならせるのが有利である。また、この遅延回路を各負荷駆動回路ごとに設けるかわりに、数個以下の所定数の負荷駆動回路に共通に設けることでもよい。

(作用)

本発明は、負荷駆動回路に遅延回路を組み込んで駆動指令を受けさせ、これから遅延回路ごとに異なる時間ずつずれた遅延駆動指令を作ることにより、複数の負荷駆動回路間で短絡電流の発生タイミングを互いにずらせ、これにより電源線に掛かる短絡電流の負担を平均化してスパイク状の電源線ノイズの発生を防止するものである。このように本発明の問題解決法は電源線に掛かる負担の平均化にあるので、短絡電流の発生タイミングを必要以上互いにずらせるよりは、各短絡電流の一部がむしろ互いに重なり合って合成短絡電流が電源線上でなだらかな経過を辿るよう、遅延回路の遅延時間を出力トランジスタの開閉動作時間と同程度ずつずらせるのが望ましい。

第1図には第5図では複数個示されていた負荷駆動回路40が1個だけ示されている。この例でも1対の出力トランジスタ11と12にnチャネル電界効果トランジスタが用いられ、1対の電源電位点VとEの間に直列接続され、それらの相互接続点からこの例ではプラズマ表示パネルの画素である容量性の負荷1が接続される出力端子1oが導出されるのは従来と同じである。

しかし、本発明では駆動指令Dを遅延回路20が受けて、これを遅延時間 $\tau$ だけずらせた遅延駆動指令Ddを発する。第2図はこの遅延回路の若干の構成例を示すもので、同図(a)の例では抵抗21aとキャパシタ21bによって遅延回路21が簡略に構成され、それらのRC時定数で遅延時間 $\tau$ が設定される。同図(b)の遅延回路22は直列接続された1対のインバータ22aと両者の相互接続点に接続されたキャパシタ22bとで構成され、前者の動作時間と後者の静電容量値によって遅延時間 $\tau$ が設定される。もちろん、この同図(b)の方が同図(a)よりも動作が確実である。

本発明回路において、この遅延回路と組み合わせられる操作回路は、遅延回路により作られた遅延駆動指令に応じ、場合によっては負荷駆動回路の動作の制御指令にも応じてその1対の出力トランジスタを操作する1対の開閉指令を作るもので、1対の出力トランジスタ中の一方を必ず開状態にするようこれらの開閉指令を発することにより、負荷駆動回路内に大きな短絡電流が発生するのを防止できるようにしたものである。その具体例は次項に述べるとおりである。

(実施例)

以下、図を参照しながら本発明の具体実施例を説明する。第1図は本発明による集積回路装置の負荷駆動回路の一実施例の回路図、第2図および第3図はそれぞれ遅延回路および操作回路の具体構成例の回路図、第4図は第1図に対応する動作状態図と波形図である。これらの図において前に説明した第5図～第7図までと同じ部分には同じ符号が付けられており、これらと説明が重複する部分は適宜省略することとする。

操作回路30はかかる遅延回路20～22で作られた遅延駆動指令Ddを受け、これに応じて1対の出力トランジスタ11と12をそれぞれ操作する開閉指令S1とS2を発するもので、第1図の例では第5図のインバータ13に対応する単一のインバータ30aで構成される。従って、この例では同じチャネル形の両トランジスタ11と12を交互に開閉操作するように、開閉指令S1とS2は常に互いに補な論理状態で作られる。

第3図の操作回路はプラズマ表示パネルの画素を負荷1とする場合のもので、遅延駆動指令Ddと制御指令Cを受ける。同図(a)の操作回路31は遅延駆動指令Ddを受けるインバータ31aとその出力および制御指令Cを受けるアンドゲート31bとからなり、遅延駆動指令Ddを開閉指令S1とし、アンドゲート31bの出力を開閉指令S2として発する。これにより、駆動指令Dが $\bar{H}$ の時に負荷1は非駆動になり、駆動指令Dが $\bar{L}$ の時は制御指令Cが $\bar{H}$ の時に限って負荷1が駆動され、制御指令Cが $\bar{L}$ の時に出力端子1oが浮動状態にされる。



同図(b)の例では、操作回路32が遅延駆動指令Ddと制御指令Cの補指令とを受けるノアゲート32aで構成され、遅延駆動指令Ddを開閉指令S1とし、ノアゲート32aの出力を開閉指令S2として発し、その機能は同図(a)の場合と同じではあるが、開閉指令S2の論理状態変化の開閉指令S1に対する遅れ時間を同図(a)の場合より短縮できる。なお、操作回路はこの第3図の例のように遅延駆動指令Ddと制御指令Cを受ける場合でも、開閉指令S1とS2を必ずその内の一方が対応する出力トランジスタに開状態を指定する論理状態、この例では $\bar{L}$ になるように発する。

第4図は、前の第7図と同じ要領で、第4図(a)の駆動指令Dが時刻 $t_a$ に $\bar{L}$ から $L$ に変化した時の3個の負荷駆動回路40内の短絡電流11~13の発生状態を示す。同図(b)は1番目の負荷駆動回路40の出力トランジスタ11と12のオンオフの変化状態、同図(c)はその短絡電流11の発生状態をそれぞれ示し、もちろんこの最初の負荷駆動回路に遅延回路を設ける必要はない。

以上の実施例に限らず、本発明は種々の態様で実施をすることができる。例えば、遅延時間を各負荷駆動回路ごとに異ならせる必要があるわけではなく、所定数の負荷駆動回路ごとに異ならせることでよく、場合により遅延回路をこの所定数の負荷駆動回路に共通に設けてもよい。遅延回路と操作回路はもちろん機能的には異なるが、実面では両回路を一体化しあるいは一部を共用することも可能である。例えば、第1図の操作回路30のインバータ30aを第2図(b)の遅延回路22の後段のインバータ22aと共用し、このインバータ22aの出力を開閉指令S1とし、その入力を開閉指令S2として取り出すことができる。第3図の操作回路のように遅延駆動指令と制御指令とを受けるものについても、同様な一部の共用化が可能である。また、実施例では出力トランジスタ対を同じチャネル形の電界効果トランジスタとしたが、互いに異なるチャネル形の組み合わせでもよく、むしろ出力トランジスタをバイポーラトランジスタとする場合もあり得る。

2番目の負荷駆動回路は遅延時間 $\tau$ の遅延回路を備え、同図(d)の出力トランジスタ11と12のオンオフの変化状態と同図(e)の短絡電流12の発生状態は、1番目の負荷駆動回路の場合より遅延時間 $\tau$ だけ遅らされる。3番目の負荷駆動回路には遅延時間 $2\tau$ の遅延回路を設け、同図(f)の出力トランジスタ11と12のオンオフ変化と同図(g)の短絡電流13の発生を2番目の負荷駆動回路よりさらに遅延時間 $\tau$ だけ遅らせる。なお、この単位遅延時間 $\tau$ はこの例では出力トランジスタの開閉動作時間と同程度に設定されている。

同図(h)は電源線に流れる合成短絡電流1iを示すもので、各負荷駆動回路内の短絡電流11~13の発生タイミングが遅延時間 $\tau$ ずつずれているので、図示のように多峰状の全体としてなだらかな波形となり、第7図(f)と比較すればわかるようにそのピーク値も時間的な変化率もずっと小さくなる。従って、本発明により電源線に発生するノイズ、とくに波頭傾度の高いスパイク状のノイズを従来より格段に減少させることができる。

#### (発明の効果)

以上説明したとおり本発明では、集積回路装置に多数個組み込むべき各負荷駆動回路を、1対の電源電位点間に直列接続され相互接続点から負荷駆動用の出力端子が導出される1対の出力トランジスタと、駆動指令を受けこれを所定の遅延時間ずらせた遅延駆動指令を発する遅延回路と、遅延駆動指令に応じて各出力トランジスタを操作する開閉指令を必ず一方を開状態にするように発する操作回路とによって構成し、かつ遅延駆動指令に与える遅延時間を遅延回路ごとに異ならせることによって、各負荷駆動回路内で1対の出力トランジスタのオンオフ状態の切り換えに伴い短絡電流が発生するタイミングを複数個の負荷駆動回路間で互いにずらせて共通の電源線に掛かる短絡電流の負担を時間的に平均化させることができ、これにより電源線にスパイク状のノイズが発生するのを未然に防止して、集積回路装置に組み込まれる回路のかかるノイズによる誤動作を非常に有効に防止することができる。

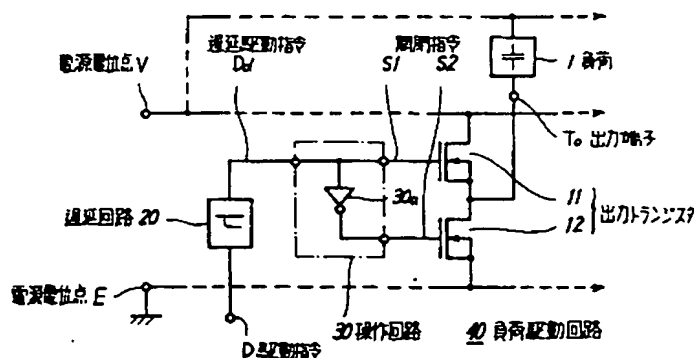
なお、本発明回路は表示パネルの画素のような容量性負荷の駆動に特に適し、負荷の充電時や放電時の鋭い電流パルスが電源線上で上述の短絡電流と同様なノイズ問題を起こすのを防止する上でも非常に有用なことが認められている。

#### 4. 図面の簡単な説明

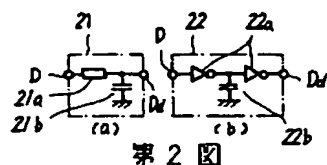
第1図から第4図までが本発明に関し、第1図は本発明の集積回路装置の負荷駆動回路の実施例の回路図、第2図(a)と(b)は遅延回路のそれぞれ異なる構成例の回路図、第3図(a)と(b)は操作回路のそれぞれ異なる構成例の回路図、第4図(a)～(h)は第1図の回路動作を例示する駆動指令と短絡電流の波形図および出力トランジスタの動作状態図である。第5図以降は従来技術に関し、第5図は従来の負荷駆動回路の回路図、第6図(a)～(d)はその短絡電流発生の様子を示すための主な信号と短絡電流の波形図、第7図(a)～(f)は第5図の回路動作を示す駆動指令と短絡電流の波形図、および出力トランジスタの動作状態図である。これらの図において、

1: 負荷、11, 12: 出力トランジスタ、13: インバータ、20～22: 遅延回路、21a: 抵抗、21b: キャパシタ、22a: インバータ、22b: キャパシタ、30～32: 操作回路、30a: インバータ、31a: インバータ、31b: アンドゲート、32a: ノアゲート、40, 41～4n: 負荷駆動回路、C: 制御指令、c: 電源線の分布静電容量、D, D1～Dn: 駆動指令、Dd: 遅延駆動指令、E: 電源電位点ないし接地電位点、1a, 1b, 11～1n: 各負荷駆動回路内の短絡電流、11: 電源線上の合成短絡電流、r: 電源線の分布抵抗、S1, S2: 開閉指令、To: 出力端子、ta, tb: 時刻、td: 出力トランジスタ間の開閉動作のずれ時間、to: 出力トランジスタの開閉動作時間、τ: 遅延回路による遅延時間、z: 電源線の分布インピーダンス、である。

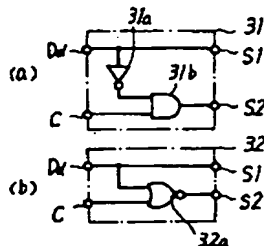
代理人弁護士 山口 豊



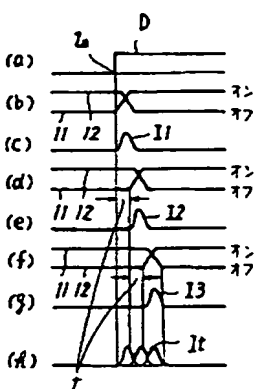
第1図



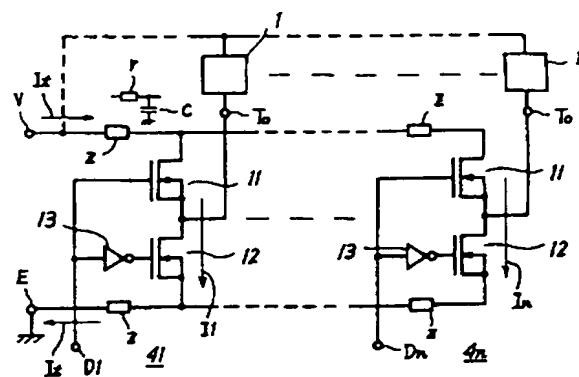
第2図



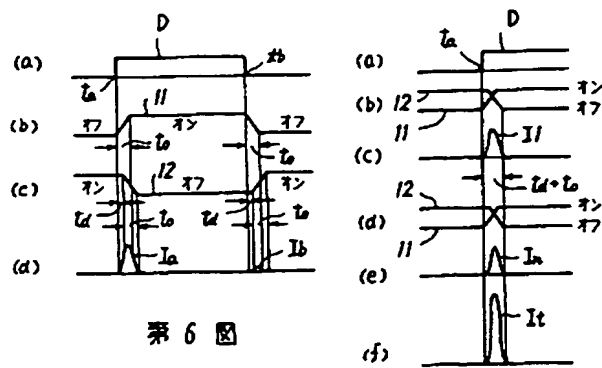
第3図



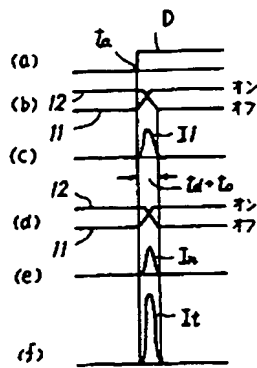
第4図



第5図



第6図



第7図

特開平4-181809 (6)

手続補正書

平成 4年 2月 4日

特許庁長官 殿

1. 事件の表示

平成 2年 特許願 第194357号

2. 発明の名称

無頼回路装置の負荷駆動回路

3. 補正をする者

事件との関係

特許出願人

住 所

川崎市川崎区田辺新田1番1号

名 称

(523) 富士電機株式会社

4. 代 理 人

住 所

川崎市川崎区田辺新田1番1号

富士電機株式会社内

氏 名

(7516) 弁護士 山口 巖

044-333-7111(714564)

5. 補正命令の日付

平成 4年 1月 28日 (発送日)

6. 補正の対象 明細書

7. 補正の内容

明細書の第15頁第11行目に「第4図(a)~(d)」とあるのを「第4図」と、同頁第15行目に「第6図(a)~(d)」とあるのを「第6図」と、同頁第17行目に「第7図(a)~(f)」とあるのを「第7図」とそれぞれ補正する。

代理人弁護士 山口 巖

方式注

